

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

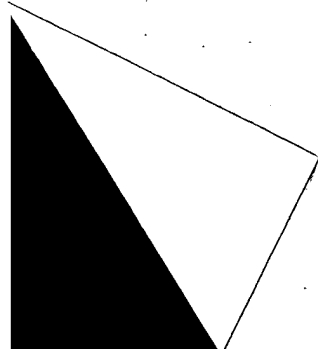
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-086737

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01J 11/02

(21)Application number : 09-239829

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.09.1997

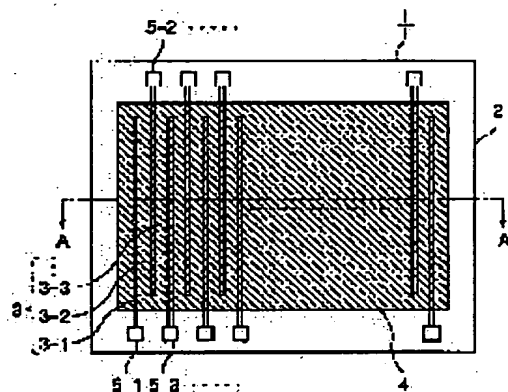
(72)Inventor : AKIBA YUTAKA  
NOMA TATSUJI  
ISHIGAKI MASA HARU  
SANO YUJI  
SUZUKI KEIZO

## (54) PLASMA DISPLAY PANEL AND DISPLAY DEVICE USING IT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress high voltage generated between address electrodes and to prevent the occurrence of an unintentional abnormal discharge by providing a conductor section made of a conductive member in at least a part of the region of the face on the opposite side to the face formed with an address electrode group of an insulating substrate.

**SOLUTION:** A conductive layer 4 of an ITO film is formed in nearly the entire region except for the external connecting terminals 5 (5-1, 5-2, 5-3,...) of an address electrode group 3 on the face (back face) on the opposite side to the face formed with the address electrode group 3 of a glass insulating substrate 2. A capacity is formed by the address electrode group 3 and the conductor layer 4 across the glass insulating substrate 2. The positive electric charges induced on the electrode lines of the address electrode group 3 are restrained by the negative electric charges, generated on the surface of the conductor layer 4 by the polarization of the glass insulating substrate 2. The biasing of the positive electric charges generated on the address electrode group 3 is suppressed and removed, and the occurrence of a high voltage between the adjacent address electrodes 3-1, 3-2,... can be prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-86737

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>

H 0 1 J 11/02

識別記号

F I

H 0 1 J 11/02

B

Z

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号

特願平9-239829

(22) 出願日

平成9年(1997) 9月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 秋庭 豊

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 野間 辰次

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 弁理士 富田 和子

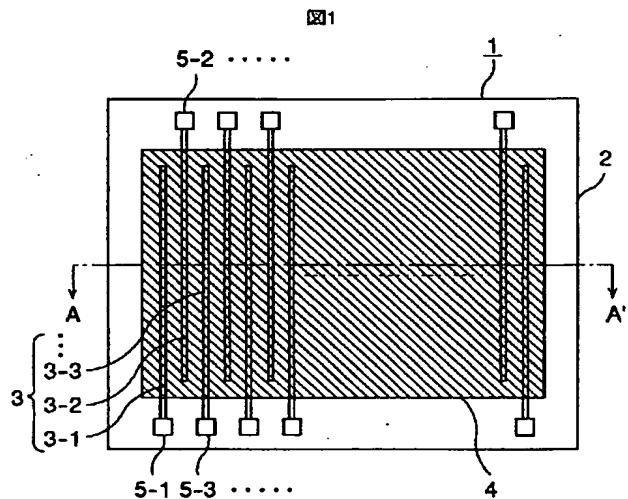
最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルおよびこれを用いた表示装置

(57) 【要約】

【課題】 壁電荷 $Q_w$ で発生したアドレス電極（ライン）上の正電荷に対して分布の偏りを取り除き、アドレス電極間に発生する高電圧を抑制することにより異常な放電現象を防止する。

【解決手段】 プラズマディスプレイパネルのパネル背面基板1において、アドレス電極上の正電荷分布の偏りを取り除くため、アドレス電極（ライン）3に対して誘電体（ガラス絶縁基板2）を介して導体プレーン4又は導体パターンを配置することにより新たな容量を形成する。



## 【特許請求の範囲】

【請求項 1】表示電極群を備えるパネル前面基板とアドレス電極群を備えるパネル背面基板とを組み合わせたプラズマディスプレイパネルであって、

前記パネル背面基板は、

前記アドレス電極群が一方の面に形成される絶縁基板と、

該絶縁基板の前記アドレス電極群が形成された面と反対側の面の少なくとも一部の領域に設けられる導電性を有する部材で構成された導体部とを備えることを特徴とするプラズマディスプレイパネル。

【請求項 2】表示電極群を備えるパネル前面基板とアドレス電極群を備えるパネル背面基板とを組み合わせたプラズマディスプレイパネルであって、

前記パネル背面基板は、

前記アドレス電極群が一方の側に形成される絶縁基板と、

該絶縁基板の前記アドレス電極群が形成された側と同じ側の面の少なくとも一部の領域で、前記アドレス電極群との間に設けられる、導電性を有する部材で構成された導体部と、

該導体部と前記アドレス電極群との間に設けられる誘電体層とを備えることを特徴とするプラズマディスプレイパネル。

【請求項 3】前記導体部は、前記絶縁基板表面のうち少なくとも一部の面を覆う面状の導電性部材で構成された導体プレーンであることを特徴とする請求項 1 または 2 記載のプラズマディスプレイパネル。

【請求項 4】前記アドレス電極群のうち互いに隣接する 2 つの電極ライン間容量が、前記アドレス電極群の 1 つの電極ラインと前記導体プレーンとで形成した容量よりも大きいことを特徴とする請求項 3 記載のプラズマディスプレイパネル。

【請求項 5】前記導体プレーンには複数の開口部が形成されていることを特徴とする請求項 3 記載のプラズマディスプレイパネル。

【請求項 6】前記導体部は、互いに導通がなく略平行配置した複数本の導電性帯状部材を、前記アドレス電極群に対して略垂直配置して構成された導体パターンであることを特徴とする請求項 1 または 2 記載のプラズマディスプレイパネル。

【請求項 7】前記アドレス電極群の互いに隣接する 2 つの電極ライン間容量が、前記アドレス電極群の 1 つの電極ラインと前記導体パターンとで形成した容量よりも大きいことを特徴とする請求項 6 記載のプラズマディスプレイパネル。

【請求項 8】前記導体部は、導電性部材から構成された部材を、導電性を備える粘着層を介して前記絶縁基板に接着することで構成されることを特徴とする請求項 1 記載のプラズマディスプレイパネル。

【請求項 9】表示電極群を備えるパネル前面基板とアドレス電極群を備えるパネル背面基板とを組み合わせたプラズマディスプレイパネルと、該プラズマディスプレイパネルで発光表示を行わせるために該表示電極群およびアドレス電極群に対して所定の駆動電圧波形を供給する駆動回路とを備える表示装置において、

前記プラズマディスプレイパネルは、請求項 1～8 のいずれかに記載のものであることを特徴とする表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報処理端末や平面型、壁掛けテレビ等に用いられるプラズマディスプレイパネル及びこれを用いた表示装置に関わり、特にプラズマディスプレイパネル及びこれを用いた表示装置を安定動作させる構造に関する。

【0002】

【従来の技術】従来のプラズマディスプレイ表示装置としては、例えば特開平 5-190099 号公報に記載されたものがある。3 電極面放電 AC 型では、図 5 に示すように、X、Y、及びアドレスの 3 電極間が配線容量で接続された容量回路の構成をとる。この時、駆動回路におけるグラウンド端子はパネル上には存在していない。X、Y 電極におけるサステイン期間の放電発光は、互いに陽極、陰極となる AC 動作が基本である。一方、アドレス電極から見たグラウンドは、他の X、Y 電極が対応している。

【0003】

【発明が解決しようとする課題】上記従来のプラズマディスプレイ表示装置では、上述した構造的特徴のため、パネルに対するグラウンドは見掛け上非常に弱く、このグラウンドの弱さに関連すると考えられる高電圧がアドレス電極間に発生し、アドレス電極間で意図しない異常放電が起こる場合があることが実験的に確認されている。

【0004】異常放電が発生すると、その放電電流によりアドレス駆動 IC を破壊する可能性がある。このため、プラズマディスプレイパネルの安定動作を保証するために、アドレス駆動 IC の高耐圧化が必要となり、製造コストを引き上げる一因となる。また、上記異常放電が発生すると、プラズマディスプレイパネルの誘電体層を破壊し、製品寿命を短くする原因となる。

【0005】本発明が解決しようとする課題は、プラズマディスプレイパネルのアドレス電極間に発生する高電圧を抑制し、前記した意図しない異常放電の発生を防止することができるプラズマディスプレイパネルおよびこれを用いた表示装置を提供することにある。

【0006】更に、本発明が解決しようとする他の課題は、プラズマディスプレイパネルを駆動するアドレス駆動 IC の破壊を防止し、安定動作を確保することにある。

【0007】更に、本発明が解決しようとする他の課題

は、プラズマディスプレイパネルを駆動するアドレス駆動 IC の高耐圧化を不要にし、駆動 IC の低コスト化を提供することにある。

【0008】更に、本発明が解決しようとする他の課題は、プラズマディスプレイパネルの誘電体層の絶縁破壊を防止し、製品の寿命、信頼度を確保することにある。

【0009】

【課題を解決するための手段】従来のプラズマディスプレイパネル表示装置では、図 6 に示すように、3 電極にパルス電圧波形を供給する駆動回路は共通グランドを持つが、各電極は回路的に共通グランドに対して浮遊容量で接続される状態にある。

【0010】本願の発明者は、上記浮遊容量の存在に着目して各電極構造に対する動作条件を解析し、アドレス電極構造に伴う浮遊容量  $C_{ag}$  がアドレス駆動回路に対して特殊な現象、特に上述したような異常な放電現象を引き起こしやすくしているメカニズムを新たに見出した。以下、それについて詳細に説明する。

【0011】プラズマディスプレイパネルにおいて、パネル駆動時に形成される壁電荷は、駆動波形のポテンシャル分布に従い各電極に形成される。アドレス電極は、サステイン期間の駆動条件等に対して X、Y 電極が陽極になる期間が長いので、セル内部の“真の電極”上に正（イオン）の壁電荷が形成されやすい。ここで言う“真の電極”は、アドレス電極ライン上に形成した誘電体層（蛍光体も含む）の表面を意味し、以下これを誘電体表面電極と呼ぶ。

【0012】壁電荷（正電荷）の形成により、アドレス電極（ライン）の持つ定数  $\tau$  の時間レベルで誘電体層側のアドレス電極面上に負電荷が誘起され、かつ同時に反対側の電極裏面に負電荷と等しい量の正電荷が発生する。負電荷の分布は壁電荷（正電荷）に拘束されるが、反対側の電極裏面に発生した正電荷は浮遊容量との結合からグランドに対するポテンシャル分布に従う。パネルのグランドが弱いので、電極裏面の正電荷は特にアドレス電極の構造、配置に依存する分布をとる。

【0013】図 7 (A) は、アドレス電極（ライン）の裏面上に正電荷が形成された場合を示す。但し、この場合のアドレス電極ラインは、端子間ピッチを広くする必要から上下両側から交互に取り出す構造としている。

【0014】アドレス電極は、電極先端部で正電荷  $Q$  の集中（図 7 (B) : 図 7 (A) の A-A' 線断面モデル図）とグランドに対する浮遊容量  $C$  により高電圧 ( $V = Q/C$ ) を発生するが、電極先端部に隣接する 2 つの電

$$\begin{aligned} Q_w &= C_a \cdot V_a \\ &= C_b \cdot V_b \end{aligned} \quad \text{..... (数 1)}$$

但し、

$$V_i = V_a + V_b \quad \text{..... (数 2)}$$

パネル構造から、浮遊容量  $C_b$  が誘電体容量  $C_a$  に対して

$$C_a \gg C_b \quad \text{..... (数 3)}$$

極ラインの取り出し側（先端部の反対側）では低電圧となる。このため隣接するアドレス電極間に高電圧が発生し易く、意図しない放電（図 7 (A)、(B) の矢印参照）が発生する。

【0015】この時のアドレス電極間の絶縁破壊電圧は、例えば、ソーダガラスの絶縁耐力：10 kV/mm、隣接するアドレス電極ライン間のギャップ長さ：0.2 mm を用いると、2 kV になる。実際の絶縁破壊電圧は、誘電体中のピンホールや電極突起等からなる欠陥の存在により、更に大きく低下することが知られている。

【0016】放電に伴って流れる放電電流は、隣接するアドレス電極ラインを介して駆動 IC に流れ込むと同時に X、Y 電極からアドレス電極ラインへも流れ込み、閉ループを形成していることが実験的に確認されている。

【0017】更に、放電を発生させる誘起電圧（正電荷）はアドレス電極ラインの定数  $\tau$  に依存し、X、Y 電極（ライン）のサステイン電圧波形等の高調波成分に対して共振する。このため、アドレス電極（ライン）の端部を開放端とする線路モデルに従った電圧分布を発生する。端部以外の特定の位置（電位差の大きくなる位置）で、前記した意図しない放電が発生することが実験的に確認されている。

【0018】一方、放電エネルギーは、アドレス電極（ライン）の裏面上に誘起した正電荷の量に依存する。アドレス駆動 IC が破壊される場合があることが実験的に確認されていることから、前記した放電エネルギーは駆動 IC の破壊するに對して十分な量である。

【0019】アドレス電極間に発生する高電圧を、図 8 に示す等価回路モデルで説明する。

【0020】アドレス電極の“真の電極”である誘電体表面電極上に形成される壁電荷  $Q_w$  は、等価回路的に直流電圧  $V_i$ （仮想電圧）の印加により与えられる。壁電荷  $Q_w$  は、回路上直列接続した 2 つの容量  $C_a$ 、 $C_b$  に対して、各々誘起電圧  $V_a$ 、 $V_b$  を発生する。ここで、容量  $C_a$ 、 $C_b$  は、各々誘電体表面電極（“真の電極”）とアドレス電極（ライン）間の誘電体容量、アドレス電極（ライン）と駆動回路の共通グランド間の浮遊容量  $C_b$ （図 6 の  $C_{ag}$  と等しい）を示す。 $R_{i-1}$ 、 $R_i$ 、 $R_{i+1}$  は、アドレス電極（ライン）に接続される駆動 IC の等価抵抗を示す。

【0021】この時の壁電荷  $Q_w$ 、容量  $C_a$ 、 $C_b$  間の関係を以下に示す。

【0022】

上記数1、数3より

$$V_a \ll V_b \quad \dots\dots\dots (数4)$$

よって、上記数3の条件に、壁電荷 $Q_w$ により発生したアドレス電極上の正電荷に偏り(図8の*i*番目ライン、電荷集中度合： $n$ 倍、 $n \gg 1$ )が加わると、正電荷 $Q_w'$

$$\begin{aligned} Q_w' &= n \cdot Q_w \\ &= C_b \cdot V_b' \quad \dots\dots\dots (数5) \end{aligned}$$

から、

$$\begin{aligned} V_b' &= n \cdot (C_a / C_b) \cdot V_a \\ &\approx V_0 \quad \dots\dots\dots (数6) \end{aligned}$$

になる。ここで、記号" $\approx$ "は、その両辺の値がほぼ等しいことを意味するものとする。

【0023】誘起電圧 $V_a$ は、例えばX-Y電極間のサステイン放電により発生するポテンシャル分布に従い、電極構造の対称性からサステイン電圧の約半分程度の75～100Vになると予想される。更に、実機パネルの誘電体容量 $C_a$ 、浮遊容量 $C_b$ を測定した結果では、一桁以上の差があることを確認している。

【0024】以上から、壁電荷 $Q_w$ による誘起電圧 $V_b'$ は、電荷集中と容量比( $C_a / C_b$ )の関係から容易に1kV以上(前記した絶縁破壊電圧を越える)を越えるため、意図しない放電が発生し易いと考えられる。

【0025】本発明では、上記本発明の課題を解決するために、すなわちアドレス電極間に発生する高電圧を抑制するために、プラズマディスプレイパネルにおいて、壁電荷 $Q_w$ で発生したアドレス電極上の正電荷分布に対して偏りを取り除く構造を提供する。この偏りは、前記したようにパネルのグランドが弱いために発生するもので、アドレス電極(ライン)の構造、形状に依存している。図7(A)に示した正電荷分布の偏りを取り除く手段は、基本的にアドレス電極(ライン)の近傍に誘電体を介して導体プレーン又は導体パターンを配置し、アドレス電極(ライン)と前記した導体プレーン又は導体パターンとで新たな容量を形成する構造を特徴とする。

【0026】アドレス電極ラインを線路モデルで取り扱えば、新たな容量形成により線路の特性インピーダンスを低減し高電圧の発生を抑制する手段を提供している。但し、前記した導体プレーン又は導体パターンは、アドレス電極(ライン)に対して誘電体表面電極と反対側に配置される。

【0027】図9に示すように、正電荷 $Q_+$ (壁電荷 $Q_w$ にほぼ等しい)に対して、誘電体の分極によりこれを引き付ける負電荷 $Q_-$ を前記した導体プレーン、又は導体パターンに発生させて、偏りを発生する電荷の移動を抑制、阻止する。この抑制力、阻止力を増加させるためには、アドレス電極(ライン)と前記した導体プレーン又は導体パターンとで形成される誘電体の容量を増やせばよい。但し、アドレス電極(ライン)の駆動条件に影響を与えないようにする必要がある。つまり、前記した導体プレーン又は導体パターンと1本のアドレス電極ライ

による誘起電圧 $V_b'$ は誘起電圧 $V_a$ に対して非常に大きくなることを示す。この時、隣接するアドレス電極( $i-1$ 、 $i+1$ 番目ライン)間に発生する高電圧 $V_0$ は、

ンとで形成する容量( $C_b$ )は、隣接アドレス電極間の容量( $C_0$ )よりもある程度小さくする。

【0028】負電荷 $Q_-$ が前記した導体プレーン又は導体パターンの形状、構造に対して偏りを発生しやすい場合、効率よく正電荷を拘束できないため電荷の偏り(移動)に対して抑制、阻止する効果が低下する。これを防止するため、前記した導体プレーン又は導体パターンを微細化して配置、形成する。特に、アドレス電極ラインに直交する形で配置、形成した多数本の細線パターンは、正電荷 $Q_+$ のアドレス電極ライン方向に対する偏りを抑制すると同時に、前記した負電荷 $Q_-$ の偏りを低下させるのにも効果を発揮する。

【0029】この時、前記した導体プレーン又は導体パターンに対して同時に発生する正電荷は、共通グランドに対して浮遊容量を介して一定の誘起電圧を発生する。前記した導体プレーン又は導体パターンはグランドに対して浮いているため、アドレス電極ラインと異なり問題はない。

【0030】

【発明の実施の形態】本発明を適用したプラズマディスプレイパネルのパネル背面基板の一実施形態を図1および図2を参照して説明する。

【0031】図1は、プラズマディスプレイパネルのパネル背面基板1の平面図を示す。

【0032】多数本の電極ラインからなるアドレス電極群3(3-1、3-2、3-3、……)は、ガラス絶縁基板2の一方の面に形成され、上下両側から交互に取り出される。ガラス絶縁基板2のもう一方の面(裏面)にはITO膜の導体層4が、アドレス電極群3の外部接続端子5(5-1、5-2、5-3、……)を除いたほぼ全領域に形成される。この結果、アドレス電極群3と導体層4とでガラス絶縁基板2を挟んで容量が形成される。

【0033】図2は、図1のA-A'線の断面図を示す。

【0034】アドレス電極群3の各電極ライン3-( $i-1$ )、3-( $i$ )、3-( $i+1$ )、……に誘起した正電荷 $Q_+$ は、ガラス絶縁基板2の分極により導体層4の表面に発生した負電荷 $Q_-$ に拘束される。このため、アドレス電極群3に発生した正電荷 $Q_+$ の偏りが抑

制、除去され、隣接するアドレス電極間に高電圧が発生するのを防止している。

【0035】電極ライン3-(i)に対して、導体層4との間で形成される容量9-(i)を、隣接する電極ライン3-(i-1)、3-(i+1)との間で形成される容量8-(i-1)、8-(i)よりも小さくし、アドレス電極群3の駆動ICに対して負荷条件が変化しないように配置している。但し、正電荷Q+6の拘束力を増加させるためには、前記した条件の基で容量9-(i)をより大きく設定する場合がある。

【0036】一方、導体層4は、特に透明である必要はなくCuやAl等の厚膜導体、導体シートで形成してもよい。導体シートを用いる場合は、接着層を導電性にするにより、より容量9-(i)を増加させることができる。導体層4の形状は、ベタ層からなる導体プレーンを基本にしているが、容量9-(i)へ及ぼす影響を考慮して透孔（開口）部を均一に形成するか、或いは、格子状にする構成としてもよい。

【0037】本発明を適用したもう一つの実施形態を図3を参照して説明する。図3は、図2と同様にプラズマディスプレイパネルのパネル背面基板17のアドレス電極群14に対して垂直に切り取った場合の断面構造を示す。

【0038】本実施形態では、ガラス絶縁基板10の上にSiO<sub>2</sub>の地下絶縁膜11を形成し、更にこの上にITO膜の導体層12を形成している。導体層12の上には、誘電体層13、アドレス電極群14、及び誘電体層（蛍光体層含む）15が順に形成されている。本実施形態では、導体層12をガラス絶縁基板10を介せずアドレス電極群14に近づく構造を提供している。

【0039】上記構造によれば、電極ライン14-(i)に対して導体層12との間で形成される容量16-(i)を増加させ、アドレス電極群14の駆動ICに対する適正な負荷条件の基で、前記した正電荷Q+6の拘束力を増加させている。容量16-(i)を調整する場合は、誘電体層13の材質（比誘電率）、構造（層厚）を変化させる以外に、導体層12のベタ層面積に透孔（開口）部や格子を均一に形成する方法を用いる。

【0040】本発明のもう一つの実施形態を図4を参照して説明する。図4はプラズマディスプレイパネルのパネル背面基板18の平面図を示す。

【0041】本実施形態では、ガラス絶縁基板19の上にSiO<sub>2</sub>の地下絶縁膜（省略）を形成後、多数本の細線パターンからなる導体パターン層20（20-1、20-2、20-3、……）を形成している。導体パターン層20の上には、誘電体層（省略）、アドレス電極群21（21-1、21-2、21-3、……）、及び誘電体層（蛍光体層含む）（省略）が順に形成される。この時、細線パターンからなる導体パターン層20は、アドレス電極群21に対して垂直に配置され、かつアドレ

ス電極群21の外部接続端子22（22-1、22-2、22-3、……）を除くほぼ全領域に形成されている。導体パターン層20を多数本の分離した細線パターンにすることにより、ベタ層に比べて導体パターン層20に発生する負電荷Q-（省略）の偏りを抑制、除去できるため、前記した高電圧を発生させる正電荷Q+の偏り（省略）を効果的に取り除いている。

【0042】導体パターン層20の細線パターンに対する形状（幅、ピッチ等）は、導体パターン層20とアドレス電極群21とで誘電体層（省略）を介して形成される容量がアドレス電極群21の駆動条件に影響を及ぼさないように設定される。導体パターン層20をガラス絶縁基板19に対してアドレス電極群21が形成される面と同一面側に形成しているが、反対側の面に形成してもよい。この場合は、銅箔パターンの貼り付け等の他の方法がとれる。

【0043】本発明のもう一つの実施形態として、上述した実施形態のプラズマディスプレイパネルを備える表示装置を説明する。なお、ここではプラズマディスプレイパネルのパネル背面基板として、図1および図2に示した実施形態のものを使用した場合を例に挙げて説明する。

【0044】図10は、本実施形態におけるプラズマディスプレイパネル619の電極ライン配置構造を示す。パネル前面基板に形成したX電極620、Y電極621と、図1の実施形態によるパネル背面基板に形成したアドレス電極（以下、A電極と略称する）3とが互いに直交している状態を示す。

【0045】Y電極621は、(Y)スキャン電極として駆動するためVGAパネルの場合、ダミー電極等を除いて621-1から621-480の480本が形成される。一方、X電極620の場合、共通電極として同時駆動するため、全てのY電極621-1から621-480に対応した480本の電極ラインが電気的に接続されて形成される。A電極3は、RGB表示をアドレスするため、VGAパネルでは640画素、1920（RGB×3）セル分の3-1から3-1920までの1920本が形成される。A電極3の取り出し端子がプラズマディスプレイパネル619の両サイドに形成されている。

【0046】図11は、図10におけるプラズマディスプレイパネル619のA電極3上に引いたB-B'線における断面構造を示す。

【0047】Yスキャン方向の1セル領域24に着目すると、透明なガラス基板28からMgO膜の保護層36までを含むパネル前面基板25と、導体層4が形成されたガラス基板2から誘電体層35-2までを含むパネル背面基板1とは、放電空間を確保する働きを兼ねた隔壁（図11では図示されないが、以下の図12の断面図に示す）により隔壁高さh（27）を隔てて対向配置される。隔壁高さh（27）は、蛍光体厚さを考慮して、1



00~200  $\mu\text{m}$ で適正化される場合が多い。

【0048】パネル前面基板25においては、透明なガラス基板28上に、透明な $\text{SiO}_2$ の下地膜29-1を形成し、その上にX電極620とY電極621とを構成する透明なITO膜32-1、32-2と不透明な $\text{Cr}/\text{Cu}/\text{Cr}$ の金属積層膜33-1、33-2を形成している。X電極620とY電極621の間の放電開始電圧 $V_{xy}$ は、主としてITO膜32-1、32-2で形成される放電ギャップ長さ $g$ (34)に依存している。X電極620とY電極621の上には、壁電荷を蓄積し電極間の絶縁性を確保するため、厚膜プロセスによる誘電体層35-1を10~20  $\mu\text{m}$ 程度形成している。更に、その上に2電子放出係数 $\gamma$ が大きく耐スパッタ性に優れた $\text{MgO}$ 膜の保護層36が形成されている。特に、 $\text{MgO}$ 膜の膜応力を緩和するため、材質やプロセス条件を考慮した多層構造により誘電体層35を形成する場合もある。

【0049】パネル背面基板1においては、上記図1の実施形態で説明した導体層4がその裏面に形成されたガラス基板2上に、透明な $\text{SiO}_2$ の下地膜29-2を形成し、その上に不透明な $\text{Cr}/\text{Cu}/\text{Cr}$ の金属積層膜からなるA電極3と厚膜プロセスによる誘電体層35-2が順に形成される。誘電体層35-2を形成したパネル背面基板1上に、図示されない隔壁(図12の断面図に示す)を形成し、更にこの隔壁側面と隔壁の配置されない誘電体層35-2の表面上に表示発光に必要な蛍光体39を形成している。

【0050】蛍光体39まで形成したパネル背面基板1とパネル前面基板25とを、3電極セル構造がパネル全面に対して均一かつ精度よく形成されるように一体化組立てを行い、一定の $\text{Ne-Xe}$ ガス(200 torr)を封入する気密封止によりプラズマディスプレイパネル619が製作される。

【0051】X電極620とY電極621の2電極間にパルス電圧を印加し、維持放電に伴って発生する紫外線40が蛍光体39を励起し可視光を出している。

【0052】図12は、図10におけるプラズマディスプレイパネル619のY電極621上に引いたC-C'線における断面図を示す。

【0053】アドレス方向の1画素領域41に着目すると、3セルRGB分の放電空間42-1、42-2、42-3を形成し、透明なガラス基板28から $\text{MgO}$ 膜の保護層36までを含むパネル前面基板25と、導体層4が裏面に形成されたガラス基板2から誘電体層35-2までを含むパネル背面基板1とは、放電空間42を確保する働きを兼ねた誘電体隔壁43-1、43-2、43-3、43-4により隔壁高さ $h$ (27)を隔てて対向配置されている。

【0054】図13は、プラズマディスプレイパネル619を駆動する表示装置のブロック構成例を示す。

【0055】表示装置の基本構成は、パネル、駆動回路、制御回路、及び電源回路で与えられ、X電極620、Y電極621、及びA電極3からなる表示ラインを形成したプラズマディスプレイパネル619と、表示ラインに対して壁電荷を用いた各電極間の書き込み放電と維持放電(サスティン放電)による発光表示を行うための各種駆動電圧波形を印加する駆動回路と、表示データを転送して前記駆動回路を制御する制御回路と、前記駆動回路に必要な各種内部電圧を発生させるDC/DCコンバータの電源回路とを備えている。

【0056】駆動回路は、X、Yのサスティンパルス発生器44-1、44-2、モノリシックLSIドライバを用いたスキンドライバルLSI列45、および、アドレスドライバルLSI列46-1、46-2からなる。スキンドライバルLSI列45は、Yのサスティンパルス発生器44-2に重なるため基準電圧をシフトさせるフローティング方式をとり、制御信号をホトカブラ47を通して伝送する。

【0057】制御回路として機能するコントロール回路48は、ゲートアレイとフレームメモリで構成される。また、DC/DCコンバータ49は、サスティン電圧 $V_s$ を基に駆動波形に必要な各種内部電圧 $V_{wi}$ 、 $V_{aj}$ を発生させている。

【0058】以上のような、本発明によるパネル背面基板1を有するプラズマディスプレイパネルを用いた本実施形態の表示装置によれば、プラズマディスプレイパネルのアドレス電極間に発生する高電圧を抑制し、意図しない放電を防止できる。したがって、本実施形態の表示装置によれば、アドレス駆動ICの破壊を防止し、安定動作を確保することができる。さらに、アドレス駆動ICの高耐圧化を不要にし、駆動ICの低コスト化を可能とする。さらに、プラズマディスプレイパネルの誘電体層の絶縁破壊を防止し、製品の寿命、信頼度を確保することが可能となる。

【0059】なお、本実施形態では、図1および図2に示すパネル背面基板を用いた場合を例に挙げて説明したが、上記図3あるいは図4に示した構造を備えるパネル背面基板も同様に用いることができるのは言うまでもない。

【0060】

【発明の効果】本発明は、アドレス電極(ライン)の近傍に誘電体を介して導体プレーン又は導体パターンを配置し、アドレス電極(ライン)と前記した導体プレーン又は導体パターンとで新たな容量を形成することにより、壁電荷 $Q_w$ で発生したアドレス電極上の正電荷分布に対して偏りを取り除き、アドレス電極間に発生する高電圧を抑制する効果がある。

【図面の簡単な説明】

【図1】本発明の一実施形態であり、プラズマディスプレイパネルのパネル背面基板1の平面図である。

【図2】図1のA-A'線の断面構成を示す説明図である。

【図3】本発明のもう一つの実施形態であり、プラズマディスプレイパネルのパネル背面基板17のアドレス電極群14に対して垂直に切り取った場合の断面構成を示す説明図である。

【図4】本発明のもう一つの実施形態であり、プラズマディスプレイパネルのパネル背面基板18の平面図である。

【図5】3電極面放電AC型プラズマディスプレイパネルとその駆動回路の等価回路モデルを示す説明図である。

【図6】図5において、浮遊容量を考慮した場合の等価回路モデルを示す説明図である。

【図7】図7(A)：プラズマディスプレイパネルのアドレス電極ラインの裏面上に正電荷が形成された場合の平面図である。

図7(B)：図7(A)のA-A'線断面構成を示す説明図である。

【図8】アドレス電極間に発生する高電圧を求めるための等価回路モデルを示す説明図である。

【図9】本発明の解決手段を示す等価回路モデルを示す説明図である。

【図10】本発明によるプラズマディスプレイパネルの一実施形態における電極構造を示す説明図である。

【図11】図10のB-B'断面構成を示す説明図である。

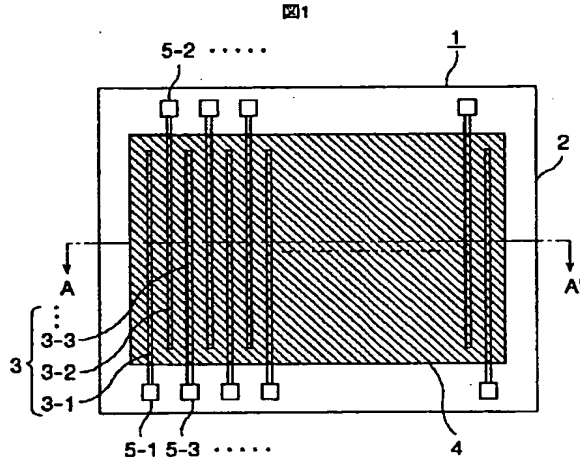
【図12】図10のC-C'断面構成を示す説明図である。

【図13】図10のプラズマディスプレイパネルを用いた表示装置の構成例を示すブロック図である。

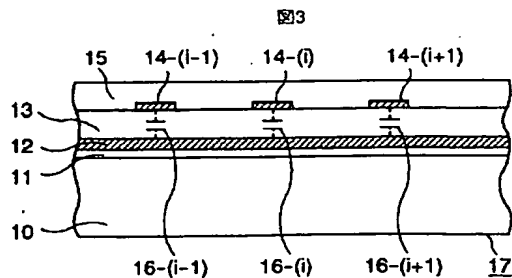
【符号の説明】

- 1、17、18：パネル背面基板
- 2、10、19：ガラス絶縁基板
- 3、14、21：アドレス電極群
- 4、12：導体層
- 20：導体パターン層
- 5、22：外部接続端子
- 6：正電荷
- 7：負電荷
- 9、16：形成される容量。

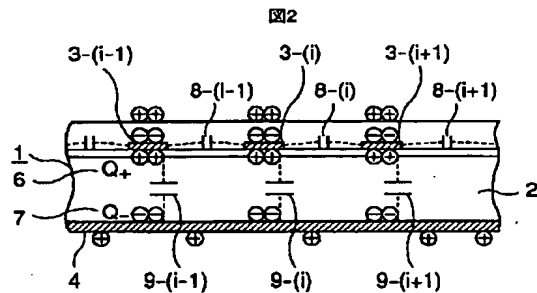
【図1】



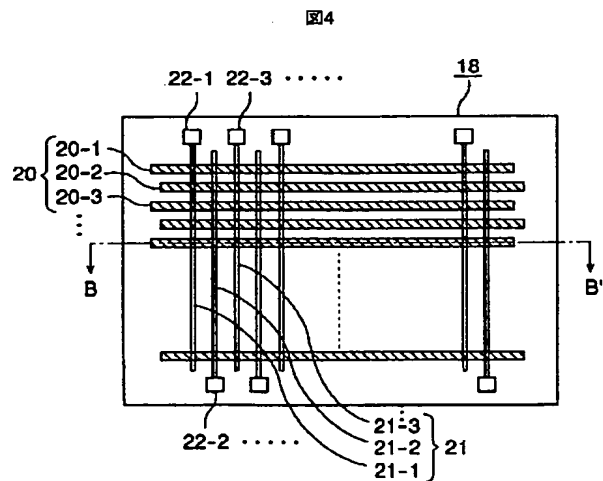
【図3】



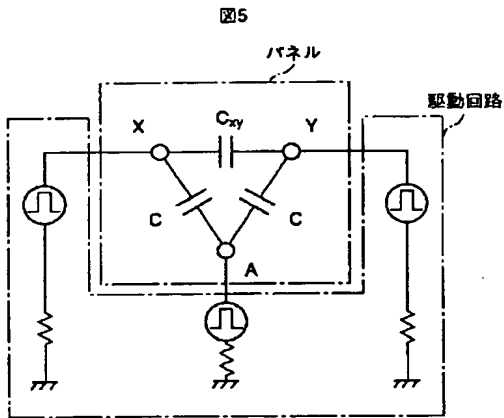
【図2】



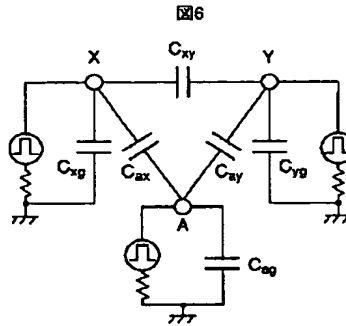
【図4】



【図 5】

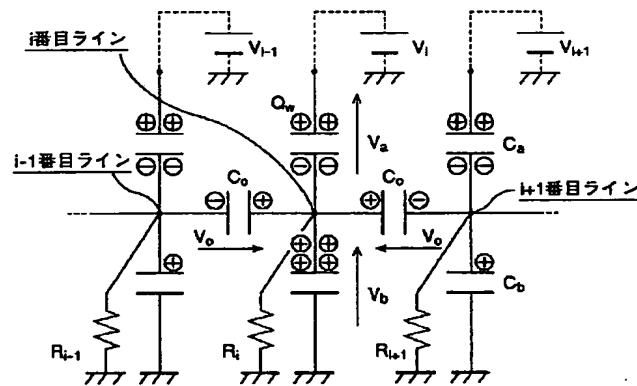


【図 6】



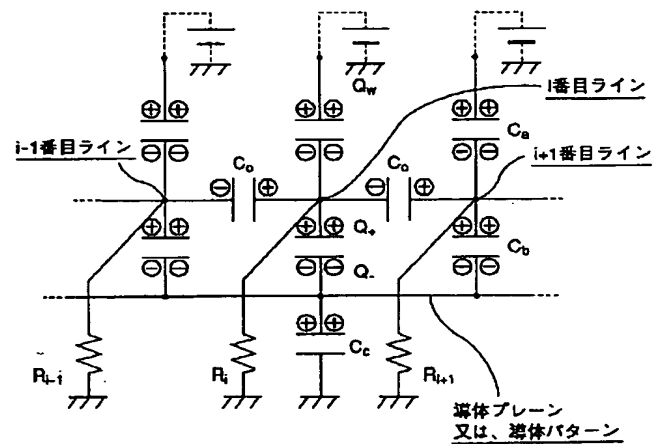
【図 8】

図8



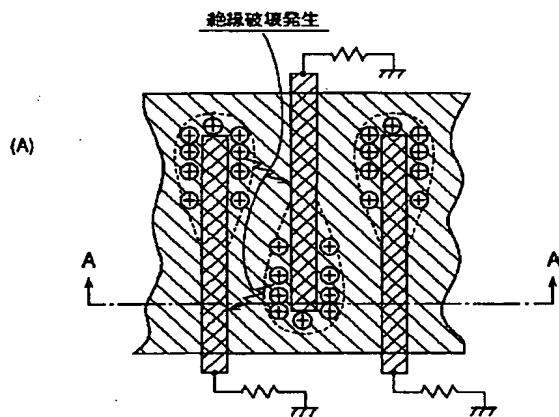
【図 9】

図9

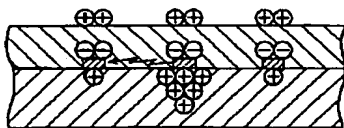


【図 7】

図7

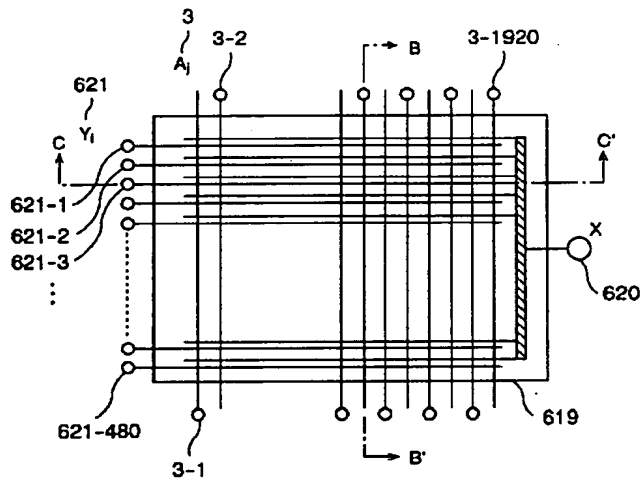


(B)



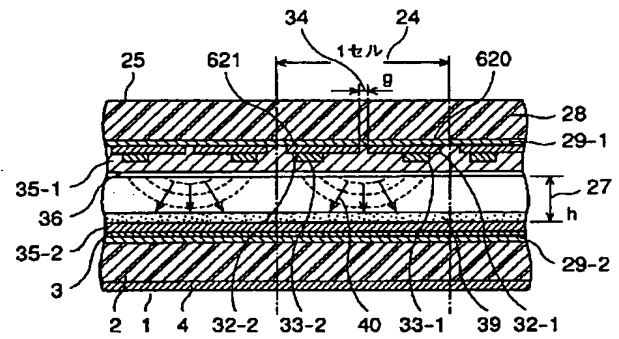
【図10】

図10



【図11】

図11



【図12】

図12

